

(11)特許出願公開番号

3

ンタクト窓等のパターンニング精度が低下するという問題も生ずる。

【0009】そこで従来、第1層W配線を形成する際にダイシングラインに凹部が形成されるのを避けるべく、以下に図5の工程断面図を参照して示す第2の方法が提案された。

【0010】この方法は、図5(a)に示すように、ダイシングライン2上に下地絶縁膜4を残置させた状態で、同図(b)に示すように第1層W配線9Lを形成し、次いで、層間絶縁膜6を形成し、図示しないビアホールの形成と同時に層間絶縁膜6のダイシングライン2側端面6Fをパターンニングし、次いで層間絶縁膜6上に第2層Al配線7Lを形成すると同時に層間絶縁膜6の端面6Fを直に覆う第2層Al膜パターン7Sを形成し、次いで、同図(c)に示すように、この基板の全面上をパッシベーション膜8で覆った後、最後に、パッシベーション膜8に図示しないボンディングパッドを開口する際、同時に、ダイシングライン2内のダイシング領域2D上のパッシベーション膜8と下地絶縁膜4を選択的に除去する方法である。

【0011】この方法によれば、ダイシングライン2に前記凹部11(図4参照)は形成されることがない。しかし、この方法で形成した時は、図5(c)から明らかなように、ダイシングライン2に面して耐湿性のないBPSG等からなる下地絶縁膜4の端面4Fが露出するので、この端面4Fから水分(H₂O)が侵入し下地絶縁膜4中を拡散して半導体素子の特性を劣化させるという問題を生ずる。

【0012】そこで本発明は、第1層配線に高融点金属例えばW膜を用いる半導体装置において、十分な耐湿性が確保され、且つ形成に際してダイシングラインが深くエッチングされず、パターンニング精度低下の原因となる段差の低減が図れる半導体装置の耐湿構造及びその形成方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題の解決は、第1層配線層が高融点金属膜からなり、該第1層配線層の下層に設けられた半導体基板に直に接する下地絶縁膜の該半導体基板面が表出するダイシングライン側の端面が、ダイシングライン上から該下地絶縁膜上に達する該高融点金属膜で直に覆われており、且つ該ダイシングライン上で、該ダイシングラインに囲まれた素子領域を覆って最上層に形成されるパッシベーション膜と該高融点金属膜とが直に接し、且つ該半導体基板とはほぼ直交する同一面上において終端している本発明による半導体装置、若しくは、半導体基板面が表出するダイシングラインと該ダイシングラインに囲まれ大部分が該半導体基板に直に接する下地絶縁膜に覆われた素子領域とを有する被加工半導体基板の全面上に高融点金属膜を形成する工程、該高融点金属膜をパターンニングして該下地絶縁膜上に該高融点金属膜からなる第1層配線を形成すると同時に、該下地絶縁膜の該ダイシングライン近傍領域上から該ダイ

4

シングライン上を直に覆う高融点金属膜パターンを形成する工程、該被加工半導体基板に、該素子領域上から延在し、且つ該ダイシングライン上において該高融点金属膜パターンに直に接するパッシベーション膜を形成する工程、弗化炭素を主とするガスのプラズマを用い、該パッシベーション膜にパッド用開口を形成すると同時に、該ダイシングラインにおけるダイシング領域上の該パッシベーション膜及び高融点金属膜を選択的に、一括除去する工程を有する本発明による半導体装置の製造方法によって達成される。

【0014】

【作用】図1は本発明の原理説明用断面図である。図中、1は半導体(例えばシリコン)基板、2はダイシングライン、3は素子(チップ)領域、4は下地絶縁膜、4Fは下地絶縁膜の端面、9Sは高融点金属(例えばW)膜耐湿パターン、6は層間絶縁膜、6Fは層間絶縁膜の端面、7Sは第2層Al膜耐湿パターン、8はパッシベーション膜、8Fはパッシベーション膜の端面を示す。

【0015】この図のように本発明の耐湿構造においては、耐湿性のない下地絶縁膜4の端面4Fをダイシングライン2の半導体基板1面上から上記端面4F近傍の下地絶縁膜4上に延在する高融点金属膜耐湿パターン9Sで覆うことにより、下地絶縁膜4の端面4Fから素子領域3上に水分が侵入拡散するのを阻止する。また、高融点金属耐湿パターン9Sを形成するための高融点金属膜は当初ダイシングライン2上を完全に覆うように形成しておき、パッシベーション膜8を基板の全面上に形成した後、このパッシベーション膜8に弗素を含んだガスのプラズマによってボンディングパッドを開口する際、同時にダイシングライン2の実際にダイシングに用いられる領域2D上のパッシベーション膜8とその下部の高融点金属膜とを選択的に除去することにより、パッシベーション膜8の端面8Fと高融点金属膜耐湿パターン9Sの端面9Fとを同一垂直面上で終端させるように形成する。このようにすることにより、高融点金属膜耐湿パターン9Sのパターンニングに際しダイシングライン2に表出し弗化炭素ガスのプラズマに対してSF₆に比較して耐性を有する半導体(例えばシリコン)基板1面は深くエッチングされることがない。

【0016】また、上記構造では、ダイシングライン2側に表出しているのが耐湿性を有する高融点金属膜耐湿パターン9S及びパッシベーション膜8であり、素子領域3の上面はパッシベーション膜8で覆われ、且つ半導体(例えばシリコン)基板1と高融点金属(例えばW)膜耐湿パターン9S、及び高融点金属(例えばW)耐湿パターン9Sとパッシベーション膜8の密着性はきわめて良く、更にまた、耐湿性のない下地絶縁膜4の端面も上記高融点金属(例えばW)膜耐湿パターン9Sに覆われているので、外部から素子領域3に水分が侵入拡散することはなく、素子特性の経時的劣化は防止される。

さい。

【図面の簡単な説明】

【図1】 本発明の原理説明用断面図

【図2】 本発明の方法の一実施例の工程断面図

【図3】 アルミニウム配線のみを用いる従来の半導体装置の要部断面図

【図4】 従来の第1層W配線を有する半導体装置の製造工程断面図

【図5】 従来提案された問題点除去方法の工程断面図

【符号の説明】

1 半導体基板

2 ダイシングライン

2D ダイシング領域

3 素子（チップ）領域

4 下地絶縁膜

6 層間絶縁膜

6F 層間絶縁膜の端面

7S 第2層Al耐湿パターン

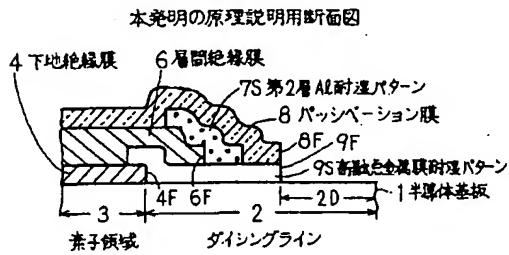
8 パッシベーション膜

8F パッシベーション膜の端面

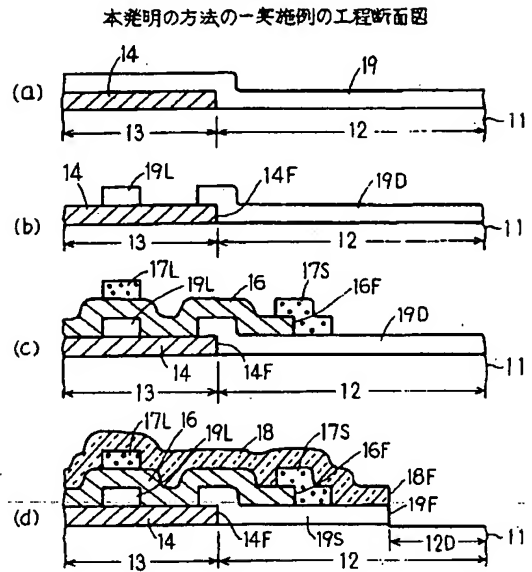
10 9S 高融点金属膜耐湿パターン

9F 高融点金属膜耐湿パターンの端面

【図1】

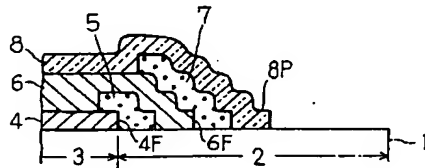


【図2】



【図3】

アルミニウム配線のみを用いる従来の半導体装置の要部断面図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097165

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H01L 21/3205

H01L 21/78

H01L 21/90

H01L 29/46

(21)Application number : 04-245339

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.09.1992

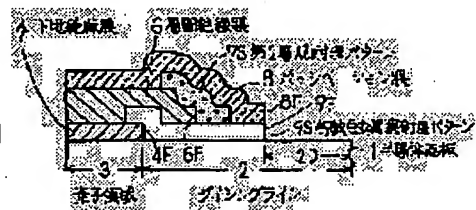
(72)Inventor : HASHIMOTO KOICHI

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To fabricate a semiconductor device having lowermost wiring layer composed of a high melting point metal film in which moisture resistance is enhanced without sacrifice of patterning accuracy in various fabrication steps.

CONSTITUTION: A first wiring layer is made of a high melting point metal film and the end face 4F on the dicing line 2 side, where 8 semiconductor substrate 1 underlying the first wiring layer and contacting directly with an underlying dielectric film 4 is exposed, is covered directly with a high melting point film 9 extending from the dicing line 2 onto the underlying dielectric film 4. An uppermost passivation layer 8 covering an element region 3 surrounded by the dicing line 2 comes into direct contact with a high melting point metal film 9S on the dicing line 2 and terminates on a same plane as the dicing line 2 crossing substantially perpendicularly with the semiconductor substrate 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.